

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑤ Int. Cl².
H 01 L 29/78
H 01 L 29/62
H 01 L 27/04

⑥日本分類
99(5) E 3
99(5) H 0

⑦日本国特許庁

⑧特許出願公告

昭51-45438

特許公報

⑨公告 昭和51年(1976)12月3日

厅内整理番号 6426-57

発明の数 1

(全 14 頁)

1

2

⑩半導体装置

⑪特 願 昭46-45669
⑫出 願 昭46(1971)6月25日
公 開 昭48-12686
⑬昭48(1973)2月16日

⑭発明者 増田弘生
国分寺東恋ヶ窪1の280株式会
社日立製作所中央研究所内
同 増原利明
同所
同 永田穰
同所
同 小沢時典
同所
⑮出願人 株式会社日立製作所
東京都千代田区丸の内1の5の1
⑯代理人 弁理士 薄田利幸

⑰特許請求の範囲

1 第1導電型を有する半導体基板表面に近接して所望の間隔をもつて形成された第2導電型を有する第1および第2の領域と、上記第1および第2の領域のそれぞれ一部と上記第1および第2の領域の間に介在する部分の半導体基板を覆つて連続して被着された第1のゲート絶縁膜と、上記第1のゲート絶縁膜上の所望部分に被着された第2のゲート絶縁膜と、少なくとも上記第2のゲート絶縁膜を覆つて被着された良導電性物質よりなるゲート電極をそなえ、上記第1および第2のゲート絶縁膜はそれぞれ上記半導体基板表面に第1および第2導電型を有する電荷を誘起せしめる絶縁膜である半導体装置。

発明の詳細な説明

本発明は絶縁ゲート電界効果型半導体装置に関するものである。

従来一般に用いられている絶縁ゲート電界効果

型トランジスタ(以下NOS・FETと記す)はたとえば第1図に示す構造を有している。第1図において、1はP型Si基板、2はソース、3はドレイン、4はSiO₂層、5はゲート電極、6はソース電極、7はドレイン電極である。

このような構造のMOS・FETの高速動作が可能であるためには、

- (1) チャネル導電率(β)が大きい
- (2) 浮遊容量が小さい
- (3) 素子の飽和時間が短かい

などの条件が満足されなければならない。

しかし、上記条件(1)を満足させるためには、チャネルの長さを短かくする、ゲート巾を大きくする、チャネル部分のキャリア易動度を上げること

15 とが必要である。

また、条件(2)を満足させるためには、ゲートとドレイン間の容量(C_{GD})、ゲートと基板間の容量(C_{GS})、および、ドレインと基板間の容量(C_{DS})をいずれも小さくすることが必要であり、条件(3)を満足させるためには、しきい値電圧を0に近づけなければならない。

これらのうち、C_{GD}は入力(ゲート)と出力(ドレイン)間の容量であるから、MOS・FETが交流動作を行なう際に、入力側に負帰還のかかる原因となり、動作を高速化するためには、条件(2)の中ではC_{GD}を小さくすることが最も有効である。

このような考えにもとづいて、たとえば第2図に示す4極MOS・FET、および第3図に示すオフセット・ゲートのMOS・FETが、高速MOS・FETとして提案されている。

4極MOS・FETは第2図から明らかのように、ゲート電極を第1ゲート電極5'과 第2ゲート電極5"に分けて、その間の基板1にN⁺型拡散領域8を設けたものであり、信号は第1ゲート電極5'に印加され、第2ゲート電極5"にはバイアス電圧が常時印加される。

また、オフセット・ゲートのMOS・FETは、第3図に示したように、ゲート電極5とドレイン3の重なりをなくして、 t なるオフセット、設けたものである。オフセット部分によつて、ゲート電極5と、ドレイン3との重なりをなくしたためにCCDは0となるから、有害な負帰還を無くすことができる。

しかし、4極MOS・FETは、ゲートの数が増加するのでチップの面積が大きくなり、しかも、第2ゲート電極5"にバイアス電圧を印加するため配線が複雑になるのいう欠点がある。

また、オフセット・ゲートのMOS・FETは、ゲート5がチャネルの全部分を覆つていないためエンハンスマント型MOS・FETを形成することができず、アナログあるいはデジタル回路用スイッチとして使用することができない。

このように、1極MOS・FETおよびオフセット・ゲートMOS・FETはいずれも大きな欠点を有しているばかりでなく、上記のような構造のみでは高速化に必要な上記条件をすべて満足することはできず、さらに良好な特性を有するMOS・FETが必要とされていた。

本発明の目的は、従来のMOS・FETに関する上記問題を解決し、高速動作の可能なMOS・FETを提供することである。

上記目的を達成するため、本発明は、異なる構造を有するゲートを組み合わせて1つのゲートを作成し、従来のMOS・FETでは得られなかつた、すぐれた特性を有する高速MOS・FETを形成するものである。

以下、本発明について詳細に説明する。

周知のように、MOS・FETにはエンハンスマント型およびデブレッショニ型の2種類がある。ゲート電圧が0のとき、ソース・ドレイン間にチャネルが形成されないものがエンハンスマント型であり、ゲート電圧が0であつても、ソース・ドレイン間にチャネルの形成されるのがデブレッショニ型である。

従来のMOS・FETのゲート部分は、得られるMOS・FETがすべてエンハンスマント型またはデブレッショニ型のいずれかの特性を示すように、单一構造の絶縁膜を有していた。

しかるに、ゲート部分をこのような单一構造の絶縁膜とはせず、ゲート絶縁膜の種類厚さ、およ

び被着する順序を変えて、それぞれエンハンスマント型、デブレッショニ型、あるいは抵抗となるようにし、これらを適当に組合合わせて1つのゲート部分を形成するようにすれば、ゲート部分の諸特性を広範囲に調節することが可能になり、従来得ることのできなかつた、すぐれた特性を有する高速動作MOS・FETが期待できる。

本発明はこのような観点からなされたものであつて、たとえば下記のように組み合わせてゲート部分を形成し、特性の向上を可能としたものである。

(1) エンハンスマント型とデブレッショニ型
(2) エンハンスマント型、デブレッショニ型、および低抵抗

(3) エンハンスマント型と抵抗
まず、エンハンスマント型とデブレッショニ型を組み合わせてゲート部分を形成したMOS・FETについて説明する。

第4図はゲート絶縁膜として SiO_2 層4のみを、使用した部分、および、 SiO_2 層4と Al_2O_3 層9の二重層を使用した部分の二つの部分によつてゲート部分を形成したMOS・FETを示す。ゲート絶縁膜が SiO_2 層4のみよりなる部分はデブレッショニ型、 SiO_2 層4と Al_2O_3 層9の二重層よりなる部分はエンハンスマント型として、それぞれ動作する。

このような構造のゲートを有するMOS・FETは、つぎに示す多くの利点を有している。

(1) エンハンスマント型部分の効果によつて、全体としてエンハンスマント型FETとして動作する。

(2) チャネル長が等しいエンハンスマント型のみのゲートにくらべて、デブレッショニ型の部分が入つことにより t が大きくなる。

(3) ゲートのエンハンスマント型部分の長さの短かくすることによつて高速動作が可能になる。

(4) 一つのゲートの中にエンハンスマント型とデブレッショニ型の二部分が存在すればよいのであるから、マスク合わせの余裕が増加し、製作の際にきわめて有利である。

また、エンハンスマント型、デブレッショニ型、および抵抗を組み合わせたゲートを有するMOS・FETは第5図に示す構造を有し、ゲート部分のうち、ゲート電極5が全く被着されてい

ない箇所 R が抵抗として動作する。

このような型の FET は下記に示す利点を有する。

(1) ゲート電極 5 とドレイン 3 の重なる部分がないので CGD は 0 になる。

(2) 上記抵抗部分の抵抗値は、チャネル部分の等価的全抵抗値の約 1/3 程度にすぎず、特性への影響は少ない。また、抵抗部分をドレイン側ではなくソース側におくことによつて β を小さくすることができ、抵抗値の大きい負荷 FET として使用することも可能である。

ゲート部分がエンハンスマント型と抵抗よりなる構造の MOS-FET を第 6 図に示す。第 6 図は抵抗をドレイン 3 側に設けた場合を示したが、ソース 2 の側に形成することも可能である。

この型の FET はつぎの特徴を有している。

(1) 従来のオフセット・ゲート MOS-FET はディプレツション型の動作のみしかできなかつたが、ゲートがエンハンスマント型の部分を有しているので全体としてエンハンスマント型として動作する。

(2) ゲートとドレインの重なりがなく、CGD が 0 になるから、デジタルスイッチとして高速動作が可能になる。

(3) 抵抗の存在によつて β は小さくなるが特性に 25 対する影響は少ない。

エンハンスマント型として動作するゲート部分は、ゲート絶縁膜をたとえば適当な厚さを有する SiO_2 層と Al_2O_3 層など、絶縁体を重ねて被着することによつて形成される。その 1 例を示せば厚さ 500~1000 Å SiO_2 層上に 1500 Å 以下の Al_2O_3 層を被着すれば、良好な結果を得ることができる。

また、ディプレツション型のゲートは半導体基板と同じ導電型の電荷を有する誘電体層のみによつてゲート絶縁膜を形成するか、あるいは、半導体基板と同じ導電型の電荷を有する絶縁体層の厚さを、半導体基板と逆の導電型を有する絶縁体層より厚くすればよい。

たとえば、ゲート絶縁膜として厚さ 1000 Å 以下 SiO_2 層のみを使用するか、あるいは厚さ 3000 Å 以上の厚い SiO_2 層上に、厚さ 1500 Å 程度の薄い Al_2O_3 層を被着して使用すればディプレツション型として動作する。

実施例 1

第 7 図はゲート部分をエンハンスマント型およびディプレツション型より構成した MOS-FET のゲート部分附近の構造を示す。第 7 図における各部の寸法をつきのように定め、ゲート電圧 VG をパラメータとしてドレイン電圧ードレン電流 (VD-ID) 特性を測定する。

チャネル長 L	8 μ
エンハンスマント型部分のチャネル長 l_E	3 μ
ディプレツション型部分のチャネル長 l_D	5 μ
SiO_2 層 4 の厚さ T_S	500 Å
Al_2O_3 層 9 の厚さ T_A	1500 Å
ゲート巾 W	10 μ
ゲートとドレインの重なり d_D	2 μ
ゲートとソースの重なり d_S	2 μ

第 8 図および第 9 図はそれぞれエンハンスマント型部分およびディプレツション型部分の特性を示す。第 7 図に示した本発明による FET の特性は、第 8 図および第 9 図の特性を重ねた特性を表わし、第 10 図で示される。

第 8 図と第 10 図を比較すれば明らかなように両特性はほとんど差はなく、第 7 図に示した本発明による FET の特性は、ゲートのエンハンスマント型部分によつて定まるることは明らかである。

第 11 図は SiO_2 層 4 および Al_2O_3 層 9 をゲート絶縁膜とする従来のエンハンスマント型 MOS-FET であり、チャネル長 L、 SiO_2 層 4 および Al_2O_3 層 9 の厚さ T_S 、 T_A を上記の場合と同様に定めた場合の VD-ID 特性は、第 12 図で示される。

第 12 図と第 10 図を比較すれば明らかなように、第 7 図に示した本発明による MOS-FET は、第 11 図に示した従来のエンハンスマント型 MOS-FET にくらべて β は約 2.5 倍に改善されており、これは、他の条件が同じならば 2.5 倍の高速動作が可能なことを示している。

実施例 2

第 13 図は、ゲート部分がエンハンスマント型、ディプレツション型、および抵抗よりなる MOS-

FETのゲート附近の構造を示す。チャネル長L、
SiO₂層4およびAl₂O₃層9の膜厚TS, TA,
ゲート巾Wはいずれも実施例1と同じにする。

第13図に示す本発明のMOS・FETにおいて、

エンハンスマント型部分のチャネル長LE … 3 μ
ディプレツション型部分のチャネル長LD … 3 μ
抵抗部分のチャネル長LR ……………… 2 μ

としたときの、VD-ID特性は第14図で表わされる。この特性を第10図に示した特性(実施例1における本発明FETの特性)と比較すると利得はやや低いが、CGDが0であるという大きな特徴がある。

また、全容量Cの値は、第11図に示した従来の構造を有するエンハンスマント型MOS・FETの値より約20%小さく、 β の値は約2倍である。

FETの動作速度は β/C に比例するから、従来のエンハンスマント型MOS・FETより約2.5倍の高速動作が可能である。

実施例 3

第15図は、ゲート部分がエンハンスマント型および抵抗よりなるMOS・FETのゲート附近の構造を示す。チャネル長L、SiO₂層4およびAl₂O₃層9の膜厚TS, TA, ゲート巾Wは、いずれも実施例1および実施例2の場合と等しく形成する。

しかしして、

エンハンスマント型部分のチャネル長LE … 6 μ
抵抗部分のチャネル長LR ……………… 2 μ
としたときのVD-ID特性は第16図で示される。

従来の構造によるエンハンスマント型MOS・FETと比較して、 β は約4/3倍になり、Cは約30%減少するから、他の条件が同じならば動作速度は従来のMOS・FETの約1.9倍になる。

実施例 4

第17図はディプレツション型ゲートの中央にエンハンスマント型ゲートをそなえた構造を有するMOS・FETの、ゲート部分附近を示す。

第1のディプレツション型部分のチャネル長LD ₁ ……………	3 μ
第2のディプレツション型部分のチャネル長LD ₂ ……………	3 μ
5 エンハンスマント型部分のチャネル長LE … 2 μ	
SiO ₂ 層4の厚さTS ……………… 500 Å	
Al ₂ O ₃ 層9の厚さTa ……………… 1500 Å	
ゲート巾W…………… 10 μ	

10 すると、従来のエンハンスマント型MOS・FETにくらべて β が約2.5倍、Cはほぼ同じになり、動作速度は約2.5倍に上昇する。

その他にも本発明は

15 (1) エンハンスマント型部分のソースとドレイン間ににおける位置が多少ずれてもよいので、製作の際ににおけるマスク合わせが容易である。
(2) エンハンスマント型部分のソース・ドレイン間ににおける位置が多少変つても特性にはあまり影響しない。
(3) ソース2とドレイン3を交換して使用できるので、回路中で使用する際にきわめて便利である。

など多くの利点を有している。

以上、本発明が従来のMOS・FETにくらべて高速動作が可能であるなど、きわめてすぐれた特徴を有していることを説明したが、その他にも、本発明を集積回路に適用すると、従来より集積度の高い論理回路を組むことが可能であるという利点がある。

以下ゲート部分をエンハンスマント型、および抵抗を組み合わせて形成したMOS・FET(以下E・RゲートMOS・FETと記す)を用いてNAND回路を形成する実施例について説明する。

実施例 5

デジタル回路における基本的な論理は、NANDとNORである。

40 入力をn個、出力を1個有する論理ゲートを考えた場合、入力1～nのすべてに信号が入つたときのみ、出力に信号の出る論理ゲートがNANDゲートである。

第18図はE・RゲートMOS・FETを使用してNANDを形成したものの断面図、第19図はその等価回路を示す。第18図および第19図

において Q_1 は複数のエンハンスマント型ゲート G_1, G_2, G_3 と、長さ異なる抵抗 R_1, R_2 をそなえたE・RゲートMOS・FET、 Q_2 は負荷として用いられるMOS・FETである。

Q_1 におけるソース2とドレイン3間の抵抗を R_{SD} 、 Q_2 の抵抗を R_L とすれば、出力 O_P (Q_1 のドレイン電極7)より取出される出力電圧 V_{out} は、IP (Q_2 のゲート電極10)に印加される電圧 V_{imp} を R_L, R_{SD} で分圧したものとされる。

したがつて、 Q_1 のゲート G_1, G_2, G_3 のうち、少くとも1つに信号が印加されないときは

$$R_{SD} \neq \infty ,$$

$$V_{out} \neq V_{imp}$$

になる。

また、ゲート G_1, G_2, G_3 のすべてに信号が印加された場合は

$$R_{SD} = 2 K\Omega ,$$

$$R_L = 20 \sim 30 K\Omega$$

となり、

$$V_{out} = \frac{R_{SD} V_{imp}}{R_{SD} + R_L} \div \frac{V_{imp}}{10}$$

となる。

上記の説明からE・RゲートMOS・FETによつてNAND回路の形成可能なことは明らかであるが、E・RゲートMOS・FETを用いてNAND回路を形成する方法は、従来のMOS・FETを使用する方法にくらべて、つぎのように大きな利点を有している。

(1) 集積度を高くすることができる……ゲート部分が複数の小ゲートからなり、各小ゲートに入力を印加できるのであるから、通常のMOS・FETを使用する場合よりなるかに集積度が高くなり、入力数が増加すればその効果はさらに大きい。

(2) スイッチ速度が向上する……スイッチ速度を向上するためにはゲート長を短かくするのが

有効であるが、パンチスルー現象のためにゲート長はあまり短かくできない。本発明によるE・RゲートMOS・FETでは、 G_1, G_2, G_3 間に拡散層がないためパンチスルーが起り難く、ゲート長を短くできるのでスイッチ速度は向上する。

以上、本発明半導体装置について説明したが、つぎに本発明半導体装置製造方法の実施例について説明する。

10 実施例 6

第20図はゲート部分がエンハンスマント型およびディブレッショント型よりなるMOS・FETの、形成工程を示す。

まず、第20図aに示すように、 SiO_2 層4をマスクとして、P型Si基板1に多量のN型不純物を拡散し、ソース2およびドレイン3を形成する。

マスクに用いた SiO_2 層4を除去した後、第20図bに示すように熱酸化法など周知の方法によつて SiO_2 層4を全面に被着し、さらに

Al_2O_3 層9およびCr層11を順次被着する。

第20図cは電極取付用の孔あけの工程を示し、フォトエッチングを用いて上記 SiO_2 層4、 Al_2O_3 層9、Cr層11の所望部分に孔12、13、14をあけた。ただし、図から明らかのように、ソースおよびドレイン電極用孔12、14はSi基板1に達しているが、ゲート電極用孔13はSi基板1には達しないで、 Al_2O_3 層9およびCr層11を貫通して、 SiO_2 層4の表面に達しているのみである。

Cr層11をエッチングして除いた後、たとえばAlなどの良導電性金属層を全面に被着し、不要な部分をフォトエッチングによつて除けば、第20図dに示すように、ゲート電極5、ソース電極6、ドレイン電極7をそなえたMOS・FETが形成される。このMOS・FETのゲート部分は、図から明らかのように、ゲート絶縁膜が SiO_2 層4と Al_2O_3 層9の二層よりなるエンハンスマント型部と、 SiO_2 層4のみのディブレッショント型部からなり、先に説明した特徴と有している。

実施例 7

第21図はゲート部分がエンハンスマント型および抵抗よりなるMOS・FETの形成工程を示す。

11

す。

第21図aに示すようにP型Si基板1の所望位置に多量のN型不純物を拡散してソース2およびドレイン3を形成した後、熱酸化法、CVD、フォトエッチングなど、周知の方法によつてSiO₂層4、Al₂O₃層9、所望の孔を有するリンガラス層15を順次被着する。

第21図bはAl₂O₃層9への孔あけの工程を示し、リンガラス層15をマスクとし、熱リン酸H₃PO₄よりなるエッチ液を用いて、孔16、17をあける。

つぎに、NH₄F : HF = 6 : 1なる組成のエッチ液を用いてエッチを続けると、孔16、17にて露出された部分のSiO₂層4およびリンガラス層15がエッチして除かれ、第21図cに示すようになる。

たとえばAlなどの良導電性金属を全面に被着した後、フォトエッチングによつて不要部分を除去すれば、第21図dに示すように、ゲート電極5、ソース電極6、ドレイン電極7が形成される。

熱リン酸(H₃PO₄)よりなるエッチ液を用いて露出された部分のAl₂O₃層9を除去した後、リンガラス層18を全面に被着すれば、第21図eに示す構造のMOS・FETが形成される。

以上詳述したように本発明によるMOS・

FETは従来の構造を有するMOS・FETよりもはるかに高速なエンハンスマント型動作が可能であり、また、従来よりもはるかに高い集積密度で論理回路を形成できるなど、工業上得られる利益はきわめて大きい。

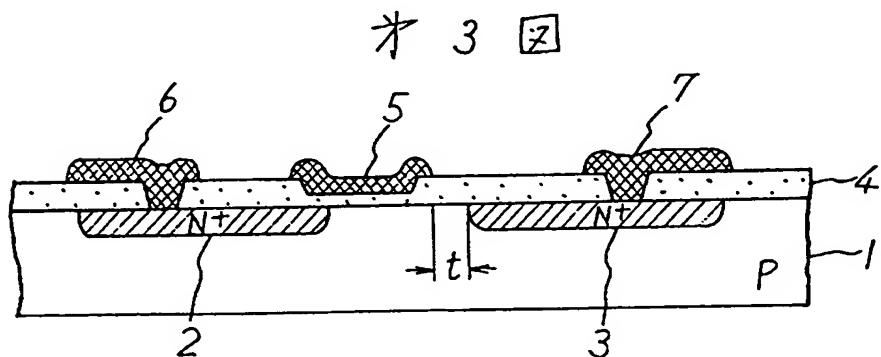
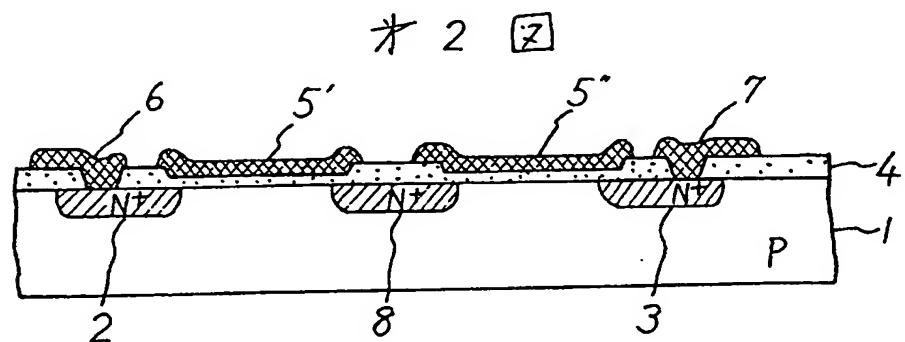
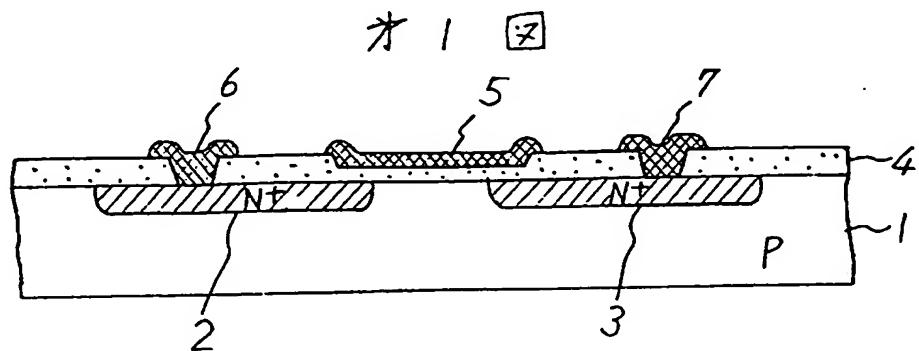
図面の簡単な説明

第1図乃至第3図は従来のMOS・FETの構造を示す一部断面図であり、1はP型Si基板、2はソース、3はドレイン、4はSiO₂絶縁膜5はゲート電極、6はソース電極、7はドレイン電極である。また第11図および第12図はそれぞれ従来のエンハンスマント型MOS・FETの構造を示した断面図および電圧-電流特性曲線図である。

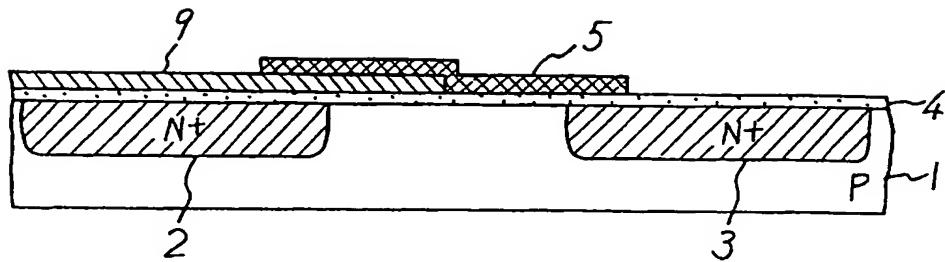
第4図乃至第10図および第13図乃至第19図は、本発明の実施例を説明するための一部断面図または曲線図であり、第20図および第21図は、本発明MOS・FETの製造工程を示す一部断面図である。記号1乃至7はいずれも上記と同じものを示す。

⑤引用文献

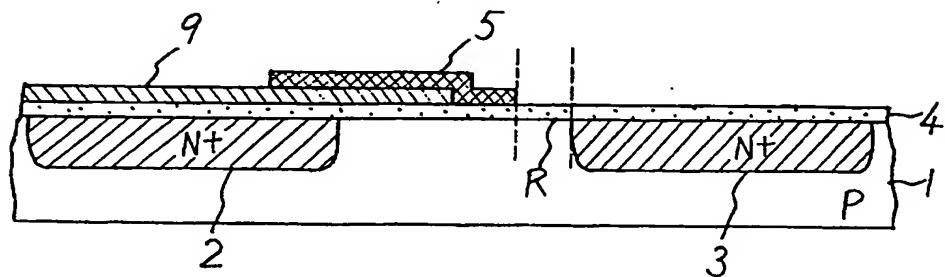
特公昭48-22394



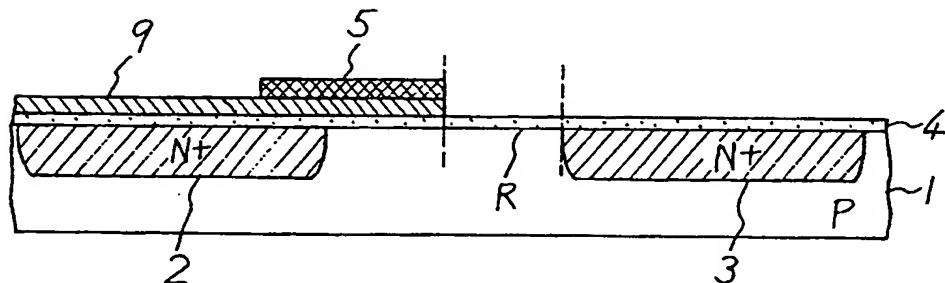
才4図

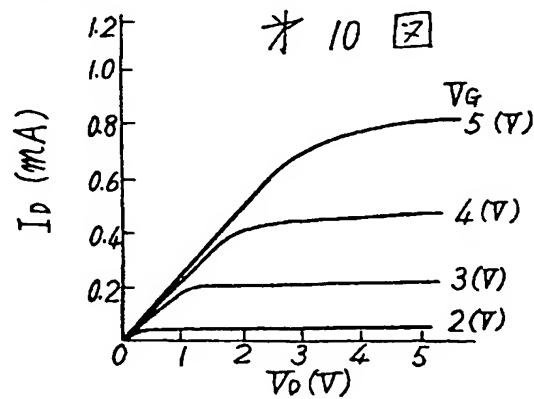
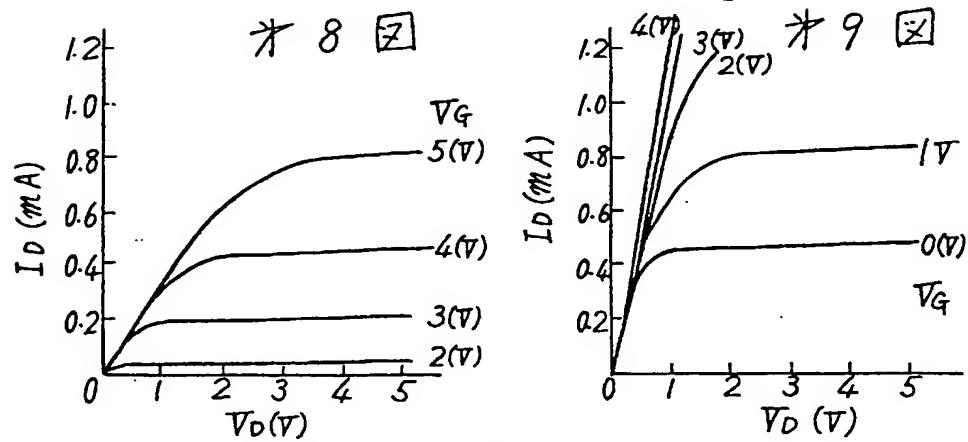
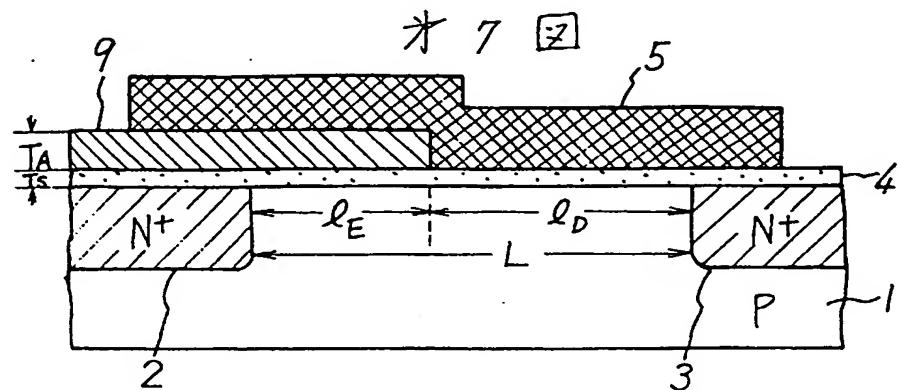


才5図

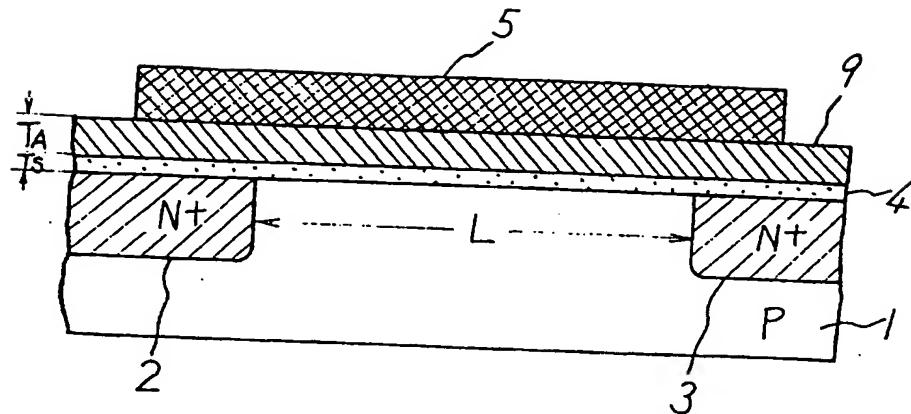


才6図

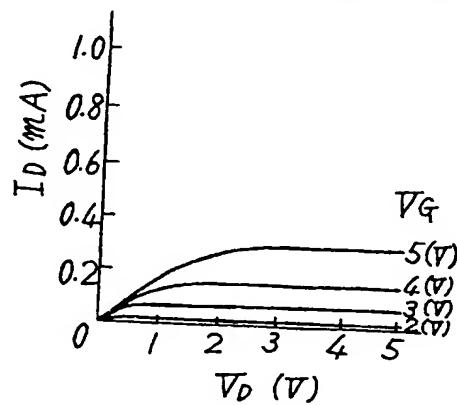




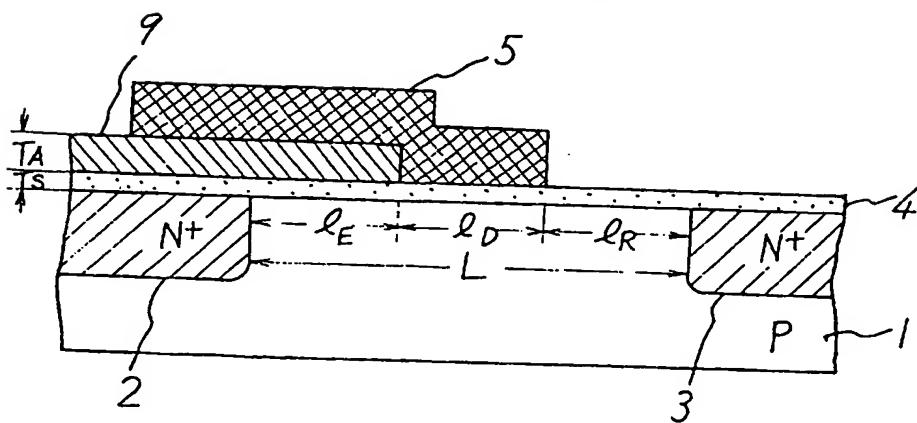
才 11 図

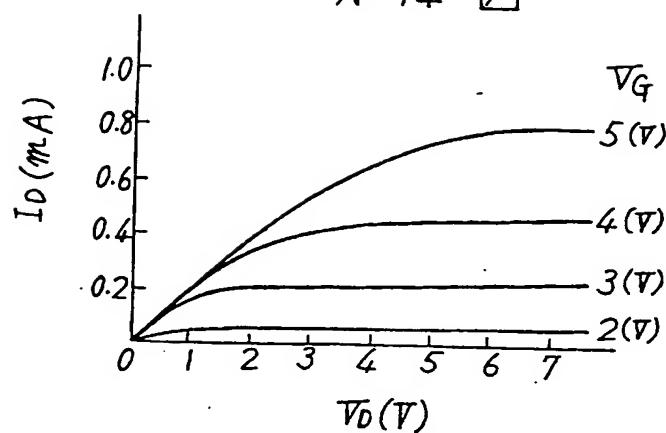
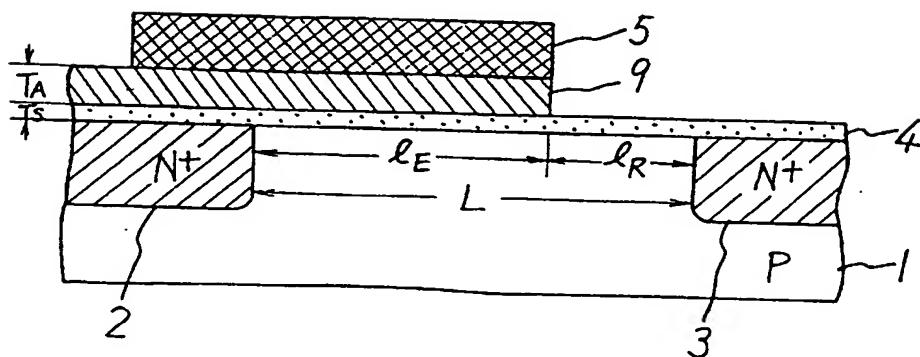
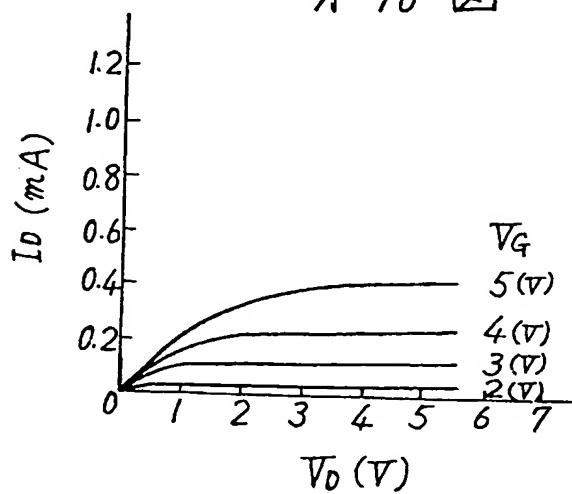


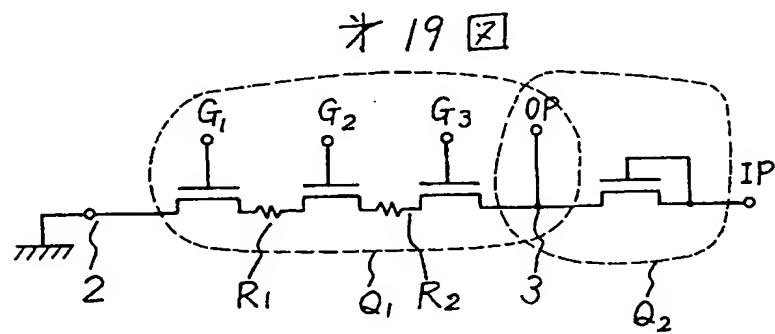
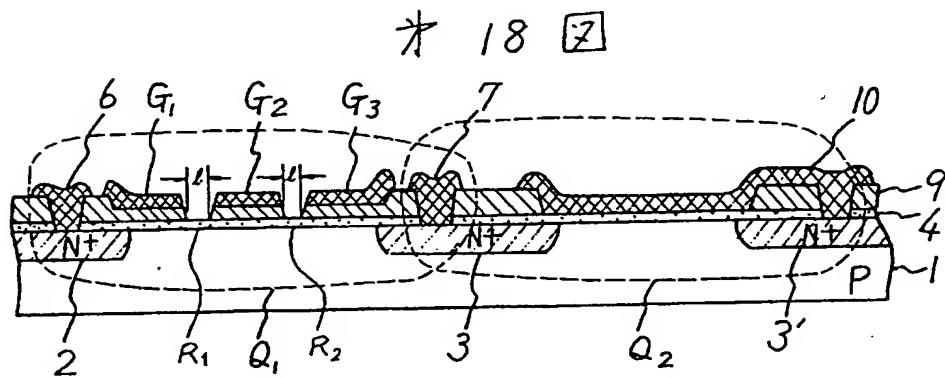
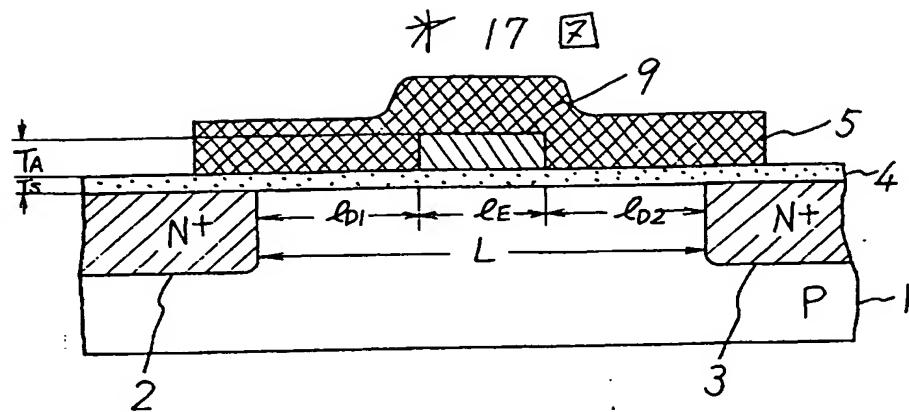
才 12 図



才 13 図

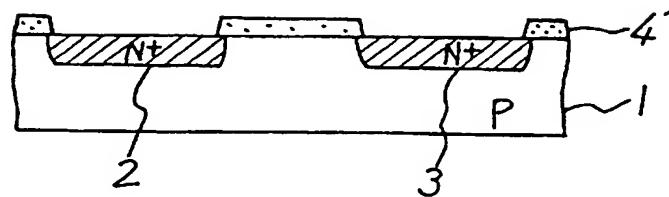


† 14 † 15 † 16 

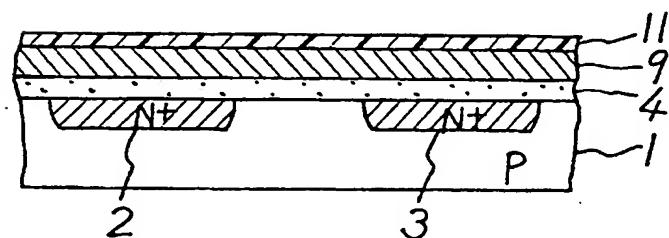


寸 20 []

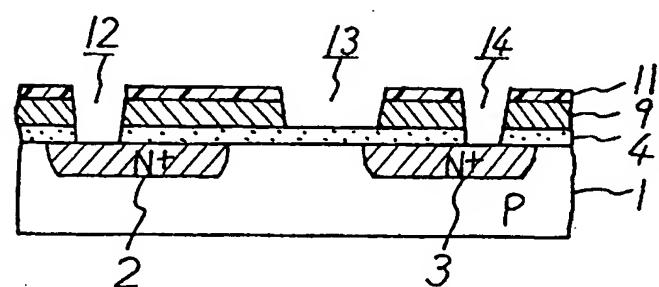
(a)



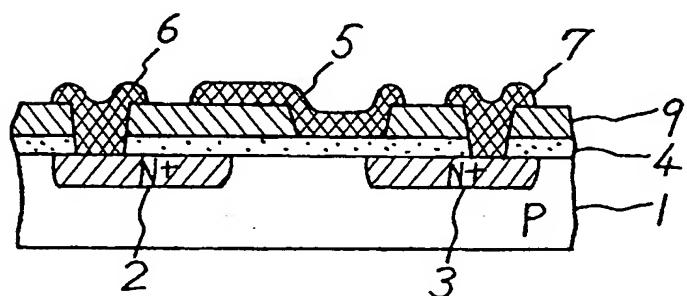
(b)



(c)



(d)



才21 図

